Uma Unidade Lógica Aritmética (ULA) é um circuito combinacional que realiza as principais operações lógicas e aritméticas em um par de operando de n-bit (ex. A [6:0] e B [6:0]). As operações realizadas por uma ULA são controladas por um conjunto de entradas de seleção de funções. Neste tutorial será desenvolvida uma ULA de 2-bits, com duas entradas de seleção de funções: Entradas Seleção S1 e S0. As funções realizadas pela ULA são soma subtração, multiplicação e reset. Os módulos estão descrito em VHDL.

**1. COMPONENTES DA ULA.**

A construção de uma ULA básica foi subdividida em módulos menores: somador, subtrator, multiplicador, reset, mux4:1. A solução proposta para o este tutorial segue no diagrama abaixo que compõem a ULA.

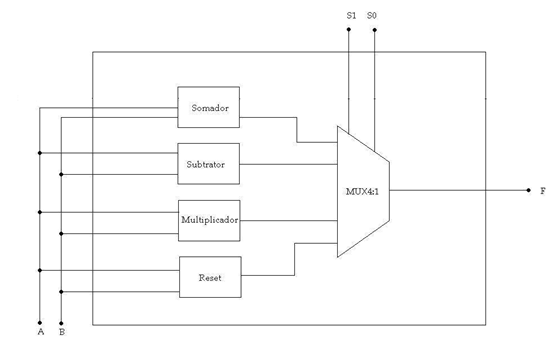
[](http://sidneylima.com/wp-content/uploads/2009/12/211.bmp)

Figura 1: Diagrama de blocos da ULA de 2 bits

**2.1 SOMADOR**

Neste módulo é explicitado o módulo básico somador denominado FA na figura 2. que são empregados para somar bits individualmente. Quando há uma extensão do problema para a adição de duas palavras de n-bits, utiliza-se uma unidade de somadores em paralelo que permite a soma dos bits de cada coluna e conectamos o bit de vai um cada FA. A figura 2.b faz uma adaptação entre a forma comum de se operar a adição e a notação gráfica adotada pela figura 2.

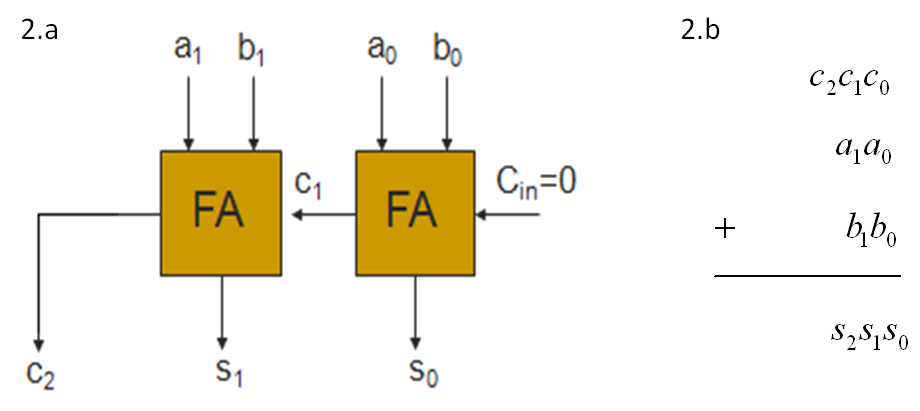
[](http://sidneylima.com/wp-content/uploads/2009/12/112.bmp)

Figura 2: Representação gráfica do somador e esquema do somador de 2-bits

O código em VHDL estão descritos abaixo, lembrando que a saída do módulo chamada é de 5 bits com o objetivo de padronizar as saídas e corresponde ao somador representado na figura 2.a. Já o módulo somador diz respeito a caixa FA, ou seja, uma caixa preta para somar bits individualmente.

– Método Somador:

entity somador is

PORT (A, B, Cin : in BIT;

S, Cout : out BIT

);

end somador;

architecture corpo of somador is

begin

S       <= A xor (B xor Cin);

Cout    <= (A and B) or ((A xor B) and Cin);

-–